

ASMMC.033AUS

JUL 9 2002

COPY OF PAPERS  
ORIGINALLY FILED

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

2812  
#5  
D/C  
09/27/02

Applicant : KIM et al. ) Group Art Unit: 2812  
Appl. No. : 10/007,304 )  
Filed : December 5, 2001 )  
For : COPPER INTERCONNECT )  
STRUCTURE HAVING )  
STUFFED DIFFUSION )  
BARRIER )  
Examiner : Unknown )

I hereby certify that this correspondence and all  
marked attachments are being deposited with  
the United States Postal Service as first-class  
mail in an envelope addressed to: United States  
Patent and Trademark Office, P.O. Box 2327,  
Arlington, VA 22202, on

July 3, 2002

(Date)

  
Adeel S. Akhtar, Reg. No. 41,394

TECHNOLOGY CENTER 2800

RECEIVED

JUL 12 2002

United States Patent and Trademark Office  
P.O. Box 2327  
Arlington, VA 22202

Dear Sir:

Enclosed is a certified copy of Korean Application No. 10-2000-0074025 filed on December 6, 2000, to which the above-identified application claims priority. An English translation is also enclosed.

Please charge any additional fees, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 11-1410.

Respectfully submitted,

  
KNOBBE, MARTENS, OLSON & BEAR, LLP

Dated: July 3, 2002

By: Adeel S. Akhtar

Adeel S. Akhtar

Registration No. 41,394

Attorney of Record

620 Newport Center Drive, Sixteenth Floor

Newport Beach, CA 92660

(415) 954-4114



대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

RECEIVED

JUL 12 2002

TECHNOLOGY CENTER 2800

출원번호 : 특허출원 2000년 제 74025 호  
Application Number PATENT-2000-0074025

출원년월일 : 2000년 12월 06일  
Date of Application DEC 06, 2000

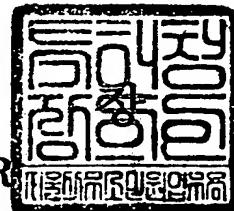
출원인 : 에이에스엠 마이크로케미스트리 리미티드  
Applicant(s) ASM MICROCHEMISTRY LTD.

2001년 11월 21일



특허청

COMMISSIONER



## 【서지사항】

【서류명】	출원인 변경 신고서
【수신처】	특허청장
【제출일자】	2001.11.09
【구명의인】	
【성명】	김기범
【출원인코드】	4-1999-061302-3
【사건과의 관계】	출원인
【신명의인】	
【명칭】	에이에스엠 마이크로케미스트리 리미티드
【출원인코드】	5-2000-000048-6
【대리인】	
【성명】	김성남
【대리인코드】	9-1998-000150-9
【포괄위임등록번호】	2001-061609-3
【포괄위임등록번호】	2001-064582-4
【대리인】	
【성명】	이세진
【대리인코드】	9-2000-000320-8
【포괄위임등록번호】	2001-061610-6
【포괄위임등록번호】	2001-064583-1
【대리인】	
【성명】	손민
【대리인코드】	9-1999-000420-6
【포괄위임등록번호】	2001-061611-3
【포괄위임등록번호】	2001-064584-9
【사건의 표시】	
【출원번호】	10-2000-0074025
【출원일자】	2000.12.06
【심사청구일자】	2000.12.06
【발명(고안)의 명칭】	확산 방지막의 결정립계를 금속산화물로 충진한 구리 배선 구조의 반도체 소자 제조 방법
【변경원인】	전부양도

## 【취지】

특허법 제38조4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조제1 항의 규정에 의하여 위와 같이 신고합니다. 대리인  
김성남 (인) 대리인  
이세진 (인) 대리인  
손민 (인)

## 【수수료】

13,000 원

## 【첨부서류】

1. 인감증명서\_1통 2. 양도증\_1통 3. 국적증명서(법인  
인 경우 법인증명서)\_1통[법인국적증명서 및 동번  
역문]

## 【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【제출일자】	2000.12.06	
【발명의 명칭】	확산 방지막의 결정립계를 금속산화물로 층진한 구리 배선 구조의 반도체 소자 제조 방법	
【발명의 영문명칭】	Method of Fabricating Semiconductor Device Employing Copper Interconnect Structure Having Diffusion Barrier Stuffed with Metal Oxide	
【출원인】		
【성명】	김기범	
【출원인코드】	4-1999-061302-3	
【대리인】		
【성명】	권용남	
【대리인코드】	9-1998-000146-0	
【포괄위임등록번호】	1999-068197-1	
【발명자】		
【성명】	김기범	
【출원인코드】	4-1999-061302-3	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 권용남 (인)	
【수수료】		
【기본출원료】	20	면 29,000 원
【가산출원료】	4	면 4,000 원
【우선권주장료】	0	건 0 원
【심사청구료】	9	항 397,000 원
【합계】	430,000 원	
【감면사유】	개인 (70%감면)	
【감면후 수수료】	129,000 원	

### 【요약서】

#### 【요약】

알루미늄에 대하여 이미 신뢰성이 검증된 확산 방지막 구조를 응용하여 적용함으로써 구리 배선 구조의 반도체 소자의 상용화를 앞당길 수 있는 반도체 소자 제조 방법을 제공한다.

구리 배선 공정에 있어서 확산 방지막으로서 TiN 박막과 알루미늄 중간층의 복합 구조가 사용된다. 이를 위해, TiN 박막 위에 알루미늄을 증착한 후, 다시 그 위에 구리층을 증착하여 열처리하게 된다. 이때, 알루미늄이 TiN층으로 확산하여 들어가 산소와 반응하여 효과적으로 TiN 결정립계를 충진함으로써, 그 후에 확산해 들어오는 구리의 확산을 효과적으로 막아주게 된다. 이때, 알루미늄층은 최소한의 두께를 가지도록 형성함으로써 실질적인 배선은 구리층으로 이루어 지도록 한다.

#### 【대표도】

도 6

#### 【색인어】

구리 배선, 알루미늄 배선, 알루미늄, 알루미늄, TiN, 중간 금속층

**【명세서】****【발명의 명칭】**

확산 방지막의 결정립계를 금속산화물로 충진한 구리 배선 구조의 반도체 소자 제조 방법{Method of Fabricating Semiconductor Device Employing Copper Interconnect Structure Having Diffusion Barrier Stuffed with Metal Oxide}

**【도면의 간단한 설명】**

도 1 내지 도 7은 본 발명에 따른 구리 배선 구조 형성 방법의 일 실시예를 보여주는 단면도들이다.

도 8은 본 발명에 따른 구리 배선 구조의 실험예에 있어서 알루미늄 극박막 두께와 열처리 온도에 따른 시편의 면적항 측정 결과를 보여주는 그래프이다.

도 9a 내지 9d는 구리 배선 구조의 실험예에 있어서 구리층과 알루미늄층 그리고 TiN 층을 에칭한 후에 드러난 실리콘 표면의 에치 피트(Etch Pit)를 주사 전자 현미경으로 관찰한 사진들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

10: 기판 20: 부도체막

22: 비아 패턴 32: TiN 박막

34: 알루미늄층 40: 구리막

50: 구리배선 패턴

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 제조 방법에 관한 것으로서, 보다 상세하게는 반도체 제조 공정에 있어서 배선 구조 형성 방법에 관한 것이다.

<10> 반도체 집적회로의 제조 공정은 크게 실리콘 기판에 소자들을 형성하는 공정과 이 소자들을 전기적으로 연결하는 공정으로 구분된다. 이중 소자들을 전기적으로 연결하는 공정을 배선 공정 또는 금속선 연결 공정(Metallization)이라 하는데, 이 공정은 소자의 집적도가 증가함에 따라 수율과 신뢰성을 향상시키는데 있어서 관건이 되고 있다.

<11> 현재 배선 재료로 널리 쓰이고 있는 금속은 알루미늄이다. 그러나, 소자의 집적도가 증가함에 따라 배선 폭은 감소하고 총 길이는 증가하게 되고, 이에 따라 RC 시정수로 표시되는 신호전달 지연시간이 길어지게 된다. 또한 배선 폭이 감소함에 따라 전기적 이동(Electromigration)이나 응력 이동(Stress Migration)에 의한 배선의 단락이 중요한 문제로 대두되고 있다. 따라서, 동작 속도가 빠르고 신뢰성 있는 소자를 제작하기 위하여 알루미늄보다 비저항이 작고 전기적 이동이나 응력 이동에 대한 저항성이 큰 구리를 이용하여 배선을 행하는 방향으로 배선 공정이 변화되는 추세에 있다.

<12> 그렇지만, 구리는 낮은 비저항과 높은 융점을 제외하면, 알루미늄이 가지고 있는 다른 우수한 물성들은 가지고 있지 않다. 예를 들어, 구리는  $Al_2O_3$ 과 같

은 치밀한 보호피막이 없으며, 이산화규소( $SiO_2$ )에 대한 접착력이 나쁘고, 건식  
식각이 어렵다. 또한, 구리는 실리콘 내에서 확산계수가 알루미늄보다 대략  $10^6$   
배정도 크며, 실리콘 내부로 확산한 구리는 밴드 갭(Band Gap)사이에 깊은 에너  
지 준위(Deep Level)를 형성하는 것으로 알려져 있다. 더욱이, 구리는  $SiO_2$  내  
에서 확산계수도 큰 것으로 알려져 있는데, 이는 구리 배선 사이의 절연 특성을  
감소시키게 된다. 결국 실리콘이나  $SiO_2$  내에서 구리가 가지는 큰 확산계수는  
소자의 신뢰성을 크게 저하시키게 된다. 따라서, 구리 배선 공정에서 소자의 신  
뢰성을 확보하기 위해서는, 구리의 실리콘 및  $SiO_2$ 로의 빠른 확산을 방지할 수  
있는 확산 방지막(Diffusion Barrier)을 개발하는 것이 필수적이다.

<13> 구리에 대한 확산 방지막으로서는 기존의 알루미늄 배선공정에서 일반적으  
로 사용되어온 TiN 대신 스퍼터링 공정으로 증착한 Ta 또는 TaN의 박막이 현재  
일반적으로 사용되고 있다. 하지만 소자의 크기가 작아짐에 따라 콘택(contact)  
또는 트렌치(trench) 구조에 확산 방지막을 증착할 때 단차 피복성(step  
coverage)이 저하되는 문제점이 있어 CVD 방법에 의한 확산 방지막 공정의 개발  
이 절실한 시점에 있다.

<14> 그런데, 신뢰성이 높은 확산 방지막을 구리에 대하여 새로이 개발하는 것은  
상당히 시간이 걸릴 수 있고, 이는 구리 배선 구조를 채용한 반도체 소자의 상  
용화를 지연시키는 요인이 될 수 있다.

### 【발명이 이루고자 하는 기술적 과제】

<15> 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 확산 방지막

으로서 확산 방지막을 구성하는 금속 원소가 아닌 제 3의 금속의 산화물로 결정 립계(grain boundary)를 충진한 구조를 적용함으로써 구리 배선 구조의 반도체 소자의 상용화를 앞당길 수 있는 반도체 제조 방법을 제공하는 것을 그 기술적 과제로 한다.

### 【발명의 구성 및 작용】

<16> 발명의 이론적 배경

<17> 확산 방지막이란 확산에 의한 두 물질간의 혼합을 방지하기 위하여 두 물질 사이에 삽입되는 물질을 말한다. 반도체 제조 공정에 있어서, 확산 방지막은 기판과 배선 재료사이의 확산을 방지하기 위해 사용될 뿐만 아니라, 배선 재료가 부도체막(Dielectric Film) 내부로 확산하는 것을 방지하기 위해서도 사용된다.

<18> 이와 같은 확산 방지막은 크게 수동 방지막(Passive Barrier), 비 방지막(Non-barrier), 단결정 방지막(Single Crystal Barrier), 희생 방지막(Sacrificial Barrier) 및 충진 방지막(Stuffed Barrier)으로 구분된다. 확산 방지막이 배선 재료 및 기판과의 사이에서 열역학적으로 안정하다면 수동 방지막 또는 비 방지막이 된다. 열역학적으로 안정한 확산 방지막이 수동 방지막 또는 비 방지막이 되는 것은 확산 방지막의 결정립계(Grain Boundary)를 통한 확산과 관련이 있다. 즉, 열역학적으로 안정한 확산 방지막이 결정립계를 통해 확산하기 어려운 경우에는 수동 방지막이 되고, 결정립계를 통한 확산이 쉬우면 전혀 확산 방지막의 역할을 하지 못하는 비 방지막이 된다. 한편, 열역학적으로 불안

정하여 배선 재료 및 기판과 반응을 한다면 희생 방지막이 된다. 희생 방지막은 확산 방지막 자신이 배선 재료 또는 기판 물질과 반응함으로써 물질의 확산을 방지하게 된다. 반응에 의해 확산 방지막은 소모되는데, 일정 시간이 지난 후에 확산 방지막이 완전히 소모되면 확산 방지막의 기능을 상실하게 되지만 그전까지는 확산 방지막의 역할을 하게 된다. 확산 방지막이 이러한 소정의 역할을 다하지 못할 때 이러한 현상을 '확산 방지막 파괴(diffusion barrier failure)'라고 한다.

<19> 구리 배선재료에서 확산 방지막의 파괴는 크게 다음과 같은 세가지 원리에 의해서 발생한다.

<20> 1) 확산 방지막의 결함, 예를 들어 전위(dislocation)나 기공(vacancy)들을 통한 구리나 기판 원자들에 의한 확산에 의한 파괴.

<21> 2) 다결정질의 확산 방지막에 있어서 확산 방지막의 결정립계를 따른 구리나 기판 원자들의 확산에 의한 파괴.

<22> 3) 확산 방지막이 구리나 기판물질과 화학적으로 반응할 경우의 파괴.

<23> 이 중에서 구리나 기판과 열역학적으로 안정한 확산 방지막의 파괴는 주로 상기 2)번의 확산 방지막의 결정립계를 따른 구리나 기판 원자들에 의한 확산에 의해 발생한다. 이는 결정립계를 따른 구리나 기판 원자들의 확산은 결정립(grain)을 통한 확산보다 훨씬 쉽게 일어나기 때문이다. 따라서 결정립계를 통한 확산을 방지하는 것은 매우 중요하다.

<24> 결정립계를 통한 확산을 방지하는 방법으로서, 첫 번째로는 결정립계가 없는 단결정이나 비정질을 확산 방지막으로 이용하는 것을 들 수 있고, 두 번째로는 이미 존재하는 결정립계를 차단하는 방안을 들 수 있다. 다결정질 박막에서 결정립계를 차단하는 모든 방법을 충진(Stuffing)이라 하며, 이러한 방지막을 충진 방지막이라 한다.

<25> 현재까지 연구된 확산 방지막의 충진 방법은 크게 질소( $N_2$ ) 충진과 산소( $O_2$ ) 충진으로 구분될 수 있다. 이러한 원소에 의한 충진 효과는 박막에 고용 한계를 초과하는 N 또는 O를 함유시켜 증착함으로써 질소 또는 산소가 확산 방지막을 구성하는 금속 원소와 결합한 질화물 또는 산화물의 석출물을 결정립계에 형성시킴으로써 결정립계를 충진시키는 방향으로 연구가 진행되었다. 예를 들면, 알루미늄을 이용한 배선공정에 있어서, 일반적으로 사용하는 TiN 확산 방지막의 경우, PVD 또는 CVD 방법에 의하여 증착한 TiN 박막을 질소분위기 또는 산소분위기에서 열처리를 하여 TiN의 결정립계에 여분의 산소를 충진시킴으로 인하여 확산 방지막의 특성을 향상시키는 것이 일반적으로 사용되어온 방법의 하나이다(이 때 산소는 TiN의 결정립계를 확산해 들어가 Ti의 산화물을 형성시킴으로써 결정립계를 충진시키는 것으로 알려져 있다).

<26> 그렇지만 질소나 산소에 의한 충진 효과는 알루미늄에 대해서는 효율적으로 작용하지만, 구리에 대해서는 그다지 큰 효과가 없는 것으로 알려져 있다. 즉, 열처리에 의해 질화티타늄(TiN) 박막 내에 함유된 산소는 대부분 결정립계를 따라 확산해 들어가 TiN 결정립의 표면을 산화시켜 티타늄과 결합된 상태로 존재하게 되는데, 이러한 산소는 결정립계를 따라 확산해 들어오는 알루미늄과 쉽게 반

응하여 삼산화이알루미늄( $Al_2O_3$ )을 형성하는 반면 구리와는 반응하지 않기 때문인 것으로 설명된다. 이러한 현상의 이유는 표 1에서 보여진 것과 같이 알루미늄 산화물의 생성열(Enthalpy of Formation)이 티타늄 산화물보다 음으로 더 크기 때문에 알루미늄은 티타늄과 결합하고 있는 산소와 결합하여 알루미늄 산화물을 형성하지만, 구리 산화물은 티타늄 산화물보다 생성열이 음으로 작기 때문에 결정립계를 따라 확산하는 구리는 티타늄과 결합된 산소와 반응할 수 없어 구리 산화물을 형성할 수 없기 때문이다. 표 1은 티타늄, 알루미늄 및 구리 산화물의 생성열을 보여준다.

<27> 【표 1】

결합 형태	상	298K에서의 생성열(kJ/몰)
Ti-0	TiO	-519.7
	$Ti_2O_3$	-1521.6
	$Ti_3O_5$	-2457.2
	$TiO_2$	-944.0
Al-0	$Al_2O_3$	-1675.7
Cu-0	CuO	-168.6
	$Cu_2O$	-157.3

<28> 이와 같이, 열처리에 의하여 산소가 주입된 TiN 박막은 알루미늄에 대해서는 우수한 충진 방지막의 역할을 수행하지만, 구리에 대해서는 TiN에 주입된 산소가 별다른 역할을 하지 못함을 알 수 있다. 또한, 구리의 경우에는 산소뿐만 아니라 질소 등과의 반응성도 거의 없기 때문에 확산 방지막 내의 불순물을 함유 시켜 성능을 향상시키는 것은 어려울 것으로 생각된다.

<29> 상기한 바와 같이, 구리는 산화물 형성 경향성이 티타늄 산화물보다 작아, 그 자체로는 TiN 결정립계에서 산화물을 형성하지 못한다. 표 2는 다양한 금속들의 산화물 형성 엔탈피를 나타낸다.

<30> 【표 2】

	Ca	V	Nb	Mo	Hf	Ta	W
oxide 형성	CaO:	V <sub>2</sub> O <sub>5</sub> :	Nb <sub>2</sub> O <sub>5</sub> :	MoO <sub>3</sub> :	HfO <sub>2</sub> :	Ta <sub>2</sub> O <sub>5</sub> :	WO <sub>3</sub> :
enthalpy[kJ/mol]	-435	Mg	Ti	Zr	Cr	Zn	Be
oxide 형성	Al <sub>2</sub> O <sub>3</sub> :	MgO:	TiO <sub>2</sub> :	ZrO <sub>2</sub> :	Cr <sub>2</sub> O <sub>3</sub> :	ZnO:	BeO:
enthalpy[kJ/mol]			-601			-350	-608

<31> 상기 표 2에 나타난 바와 같이 티타늄 산화물보다 산화물 형성 경향성이 큰 Al, Zr, Cr, V, Nb, Hf, Ta 등의 금속들은 TiN 결정립계로 확산했을 때, Ti와 결합하고 있는 산소 원자들과 반응하여 산화물을 형성할 것이고, 이러한 산화물은 결정립계를 충진시킬 수 있는 역할을 한다.

<32> 발명의 개요

<33> 본 발명은 알루미늄 배선에 사용되는 TiN 박막이 알루미늄에 대하여 효과적인 확산 방지막으로 작용하는 이유가 TiN 박막에 함유되어 있는 산소가 알루미늄과 결합함에 기인한다는 사실에 착안하여, 확산방지막의 금속 원소보다 산화물 형성 경향성이 큰(산화물 형성 엔탈피가 음으로 더 큰) 금속 원소를 이용하여 상기 금속 원소의 산화물로 확산방지막의 결정립계를 충진시켜 구리 배선에 대한 확산 방지막으로 사용한다. 따라서 확산방지막의 금속 원소보다 산화물 형성 경향성이 큰 금속 원소를 결정립계에 충진시키기 위하여, 충진 단계 이전에 결정립

계를 충진시키기에 충분한 양의 물질(예를 들면, 산소)를 확산방지막에 주입하고, 추후의 열처리 과정에서 이러한 충진 물질이 자연스럽게 결정립계를 따라 이동함으로써 결정립계에 충진 물질의 산화물을 형성시키는 방법을 사용한다.

<34> 이때, 상기 산화물 경향성이 큰 금속 원소는 확산방지막 상에 박막의 형태로 증착하거나 상기 금속 원소를 함유한 가스 또는 상기 금속 이온을 함유한 용액을 이용하여 확산 방지막 상에 흡착층을 형성하도록 하여 이러한 금속 원소를 확산 방지막 내부에 미량 함유케 한다. 박막 형태로 상기 금속 원소가 증착되는 경우는 그 두께는 최소의 두께를 가지도록 형성함으로써 실질적인 배선은 구리층으로 이루어지도록 하여 구리층으로의 상호확산을 최대한 억제하므로써 구리층의 비저항이 영향을 받지 않도록 하여야 한다.

<35> 실시예

<36> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

<37> 도 1 내지 도 6은 본 발명에 따른 반도체 제조 방법의 일 실시예를 보여준다. 도 1에는 반도체 소자의 일부가 도시되어 있는데, 상기 반도체 소자는 기판(10)과 상기 기판(20)상에 형성되는 부도체막(20)을 포함한다. 반도체 기판(10)에는 다수의 소자들이 형성되어 있는데, 이를 소자들로는 예컨대 금속산화막 반도체(MOS) 트랜지스터나 이중접합 트랜지스터(BJT) 및 저항 등을 들 수 있다.

이러한 소자들은 도시된 단계 이전의 제조 공정에서 이미 형성되어 있다. 한편, 도시된 반도체 소자는 다층 배선 구조를 채용하는 것일 수 있는데, 이러한 경우 기판(10)은 반도체 소자들과 상기 소자들을 전기적으로 연결하는 금속 배선층을 포함할 수도 있다. 부도체막(20)은 예컨대 이산화규소(SiO<sub>2</sub>)나 사질화삼규소(Si<sub>3</sub>N<sub>4</sub>)가 될 수 있으며, 도핑된 유리층이 될 수도 있다. 부도체막은 그 종류에 따라 화학 기상 증착법이나 플라즈마 화학 기상 증착법(Plasma Enhanced CVD) 등이 사용된다. 바람직한 실시예에 있어서는, 이산화규소(SiO<sub>2</sub>)가 CVD에 의하여 증착된다.

<38> 다음에는, 도 2에 도시된 바와 같이 부도체막에 비아(Via) 패턴(22)이 형성된다. 비아 패턴(22)은 그 경계를 정의해주는 마스크를 사용하여 반응성 이온 에칭을 수행함으로써 형성된다. 금속선이 기판 상의 소자 또는 저층의 금속선에 접촉하는 접촉창에 있어서는 비아 패턴(22)이 부도체막(20)을 관통하여 기판(10)에 이르도록 형성된다. 그렇지만 접촉창 이외의 필드 영역에 있어서는, 비아 패턴(22)이 기판(10)에 이르지 않을 정도로 형성된다. 도 1 내지 도 6은 필드 영역에 대한 비아 패턴을 도시한 것이다.

<39> 비아 패턴이 형성된 부도체막에는 도 3에 도시된 바와 같이 확산방지막으로서 TiN 박막(32)이 CVD에 의해 증착된다. 본 발명의 바람직한 실시예에 있어서, TiN 박막(32)은 100 옹스트롬 정도의 두께로 증착된다. 이어서 TiN 박막(32)의 결정립계에 산소를 충전시키기 위한 과정을 수행한다. 산소의 충전은 TiN 박막(32)을 형성한 후 TiN 박막(32)을 공기 중에 노출시키거나, 퍼니스(furnace)에서

열처리를 하거나, 산소 플라즈마 처리를 행하므로써 산소가 TiN 박막(32)의 결정  
립계에 충진되도록 한다.

<40> 이어서, 도 4에 도시된 바와 같이 중간 금속층으로서 알루미늄 극박막(34)  
을 CVD에 의해 증착한다. 바람직한 실시예에 있어서, 알루미늄 극박막(34)은  
0.1-2 나노미터(nm)의 두께로 증착된다. 증착된 TiN 박막(32) 및 알루미늄 극박  
막(34)의 복합 층 구조(30)는 열처리에 의해 새로운 확산 방지막으로서 작용하게  
된다.

<41> 도 5에 있어서는 비아 패턴을 메울 수 있을 정도로 구리막(40)이 증착된다.  
구리막(40)의 증착은 PVD나 전기도금(Electroplating), 또는 금속유기화학 기상  
증착법(MOCVD)에 의해 이루어진다. 구리막 증착이 완료된 후에는 도 6에 도시된  
형태로 반도체 소자를 평탄화시키게 된다. 바람직한 실시예에 있어서, 평탄화  
공정은 화학적-기계적 연마(CMP)에 의해 비선택적으로 TiN 박막(32)과 알루미늄  
극박막(34)과 구리막(40)을 제거함으로써 이루어진다. 한편, 본 발명의 다른 실  
시예에 있어서는 비선택적 플라즈마 에칭 공정에 의해 평탄면이 만들어질 수도  
있다. 평탄화가 완료되면, 반도체 소자 상에는 평탄화된 부도체막(20) 상에 구  
리 배선 패턴(50)이 노출된 상태로 있게 되며, 부도체막(20)과 배선 패턴(50) 사  
이에는 TiN 박막(32)과 알루미늄 극박막(34)으로 구성된 확산 방지막(30)이 삽입  
되어 있게 된다. 한편, 위와 같은 공정에 있어서, 알루미늄이 증착된 후에 적층  
된 구조물에 대해 적어도 한 번의 열처리가 행해지게 된다.

<42> 도 8 및 도 9는 본 발명에 따라 구현되는 구리 배선 구조의 실험예들을 보  
여주는 도면이다. 도시된 실험예에 있어서는, 8인치 실리콘 웨이퍼 상에 TDMAT

단일 선구체를 이용하여 열분해 증착법으로 TiN 박막을 200 옹스트롬의 두께로 증착하였다. 이 시편을  $1 \times 1$  inch<sup>2</sup>의 크기로 절단한 다음, 그 위에 직류 마그네틱 롤 스퍼터를 사용하여 알루미늄과 구리를 연이어서 증착하고,  $5 \times 10^{-6}$  토르 (Torr) 이하의 진공 분위기에서 열처리하였다. 열처리는 1 시간동안 실행하였는데, 열처리 온도는 500-700 °C 사이의 온도 구간에서 50 °C 간격으로 차등화하였다. 열처리를 마친 시편들에 대해 4점 프로브(Four-point Probe)를 사용하여 면 저항을 측정하였다. 도 8은 알루미늄 극박막 두께와 열처리 온도에 따른 시편의 면저항 측정 결과를 보여준다. 도시된 바와 같이, 알루미늄을 10 nm 이상 증착한 시편은 구리만 증착한 시편(A)에 비해 구리의 확산을 효과적으로 막아주게 된다.

<43> 다음에는, 확산 방지막의 파괴 온도를 평가하기 위하여 구리층과 알루미늄 층 그리고 TiN 층을 화학 용액을 사용하여 제거한 후 실리콘 표면을 세코(Secco) 에칭하였다. 도 9a 내지 9d는 에칭 후에 드러난 실리콘 표면의 에치 피트(Etch Pit)를 주사 전자 현미경으로 관찰한 사진들이다. 도 9a 내지 9d는 도 8의 네 가지 종류의 시편들(A, B, C, D)에 각각 대응하는 것으로서, 모두 650 °C에서 열처리된 것들이다. 도시된 바와 같이, 알루미늄층이 두꺼워짐에 따라 에치 피트의 크기와 밀도가 급격히 작아지는 것을 알 수 있다.

<44> 파괴 온도 평가 결과, 알루미늄층이 없이 구리만 증착한 시편은 진공 분위기에서 500 °C에서 1 시간동안 열처리한 후에 확산 방지막의 파괴가 일어난 반면에, 알루미늄을 10 nm 이상 증착한 시편은 동일한 분위기에서 700 °C에서 1 시간동안 열처리한 후에도 파괴가 일어나지 않았다. 이와 같은 결과는 갓 증착한

CVD-TiN 박막은 미세 구조가 치밀하지 않아 20 at% 이상의 산소를 포함하고 있기 때문에 열처리 과정 중에 확산해 들어오는 알루미늄과 만나 알루미늄 산화물을 결정립계에 형성함으로써 구리의 확산을 방해한 것으로 이해된다.

<45> 한편, 이상의 설명은 본 발명의 바람직한 실시예를 단지 예시하는 것으로서, 본 발명은 이에 한정되지 않고 다양하게 변형될 수 있다. 예컨대, 상기 실시예에서 중간 금속층으로서 알루미늄 박막을 단일층의 TiN 확산 방지막(32)상에 형성하는 것으로 예시하였지만, 상기 TiN 확산 방지막은 다층으로 형성될 수 있다. 상기 TiN 확산 방지막이 다층으로 형성되는 경우 각각의 확산 방지막 사이에 교대로 알루미늄을 이용하여 중간 금속층을 형성한다. 도 7은 TiN층을 두 개의 층으로 형성하는 경우를 설명하기 위한 도면이다. 도 7을 참조하면 부도체막(20) 상에 제 1 TiN 박막(32-1)을 CVD에 의해 증착한 후, 이어서 제 1 TiN 박막(32-1)의 결정립계에 산소를 충진시키기 위한 과정을 수행하고, 상기 제 1 TiN 박막(32-1)상에 알루미늄층을 형성한다. 이미 언급한 바와 같이, 알루미늄은 제 1 TiN 박막(32-1) 상에 박막의 형태로 증착하거나 알루미늄 원소를 함유한 가스 또는 알루미늄 이온을 함유한 용액을 이용하여 확산 방지막 상에 흡착층을 형성하므로써 중간 금속층을 형성한다.

<46> 이어서, 상기 중간 금속층 상에 제 2 TiN 박막(32-2)을 CVD에 의해 증착하므로써 TiN 박막을 다층으로 형성할 수 있으며 상기 제 2 TiN 박막상에 이미 언급한 바와 같은 방법으로 구리층(40)을 증착한다. 그리고, 위와 같은 공정에 있어서, 제 2 TiN 박막(32-2)이 증착된 후에 적층된 구조물에 대해 적어도 한 번의 열처리가 행해지게 된다. 도 7에 설명된 구조에 의하면, 열처리 과정중에 알

루미늄이 제 1 및 제 2 TiN 박막(32-1, 32-2)으로 확산하게 되고 각각의 박막에 존재하는 산소와 결합하여 알루미늄 산화물을 제 1 및 제 2 TiN 박막(32-1, 32-2)의 결정립계에 형성하므로써 구리의 확산을 효과적으로 차단할 수 있게 된다. 그리고, 구리의 확산을 보다 효과적으로 차단하기 위해 상기 제 2 TiN 박막(32-2) 상에 중간 금속층을 추가로 형성하는 것도 가능하다.

<47> 한편, 본 발명의 바람직한 실시예에 있어서는 중간 금속층으로 알루미늄이 사용되었지만, 본 발명의 다른 실시예에 있어서는 상기 표 2에 나타난 바와 같이 티타늄 산화물보다 산화물 형성 경향성이 큰 지르코늄(Zr), 크롬(Cr), V(바나듐), 네pt늄(Nb), 하프늄(Hf), 탈륨(Ta) 등의 금속들이 사용될 수 있다. 즉, 중간 금속층으로 사용되는 금속 원소는 확산방지막에 사용된 금속 원소보다 산화물 형성 경향성이 큰 것이면 무방하다.

<48> 아울러, 중간 금속층은 화학 기상 증착법(CVD)대신에 물리 기상 증착법(PVD)나 전해 도금(Electrode Plating), 무전해 도금(Electrodeless Plating), 습식 화학적 혼합(Wet Chemical Contamination), 원자층 증착(Atomic Layer Deposition: ALD) 등과 같은 여타의 공정에 의해 형성될 수도 있다.

<49> 이상의 바람직한 실시예에 대한 설명에 있어서는 확산 방지막으로 질화티타늄(TiN)의 사용을 예시하였지만, 이러한 실시예가 변형된 다른 실시예에 있어서는 질화탄탈륨(TaN), 질화텅스텐(WN) 등이 확산 방지막으로 사용될 수도 있다. 그리고 이러한 확산 방지막 재료들 역시 CVD로 증착될 수 있다.

<50> 한편, 이상에서 설명한 구리 배선 구조 형성 방법은 접촉창에 대한 언급이 없이 부도체 상에서 길게 연장되어 있는 배선을 중심으로 설명하였지만, 실제 반

도체 제조 공정에 있어서는 금속선이 기판 상에 형성된 소자 또는 하층의 금속선과 부분적으로 접촉되도록 하기 위한 접촉창이 형성될 수 있다. 이러한 접촉창에 있어서는, 접촉창 저면에 위치한 기판 또는 하층의 금속선 상에 확산 방지막이 증착되고, 다시 확산 방지막 상에 중간 금속층이 증착되며, 구리막은 중간 금속층 상에 증착된다. 한편, 본 발명의 다른 실시예에 있어서는, 접촉창에 있어서는 구리막이 증착되지 않고 중간 금속만으로 오직 접촉이 형성되고, 필드 영역에 있어서만 구리 배선 구조가 채용될 수도 있다.

### 【발명의 효과】

<51> 상술한 바와 같이, 본 발명에 의한 구리 배선 구조에 있어서는 종래에 알루미늄 배선 구조에 대해 사용하였던 확산 방지막 예컨대 TiN막과 Al, Zr, Cr, V, Nb, Hf, Ta 중에서 선택되는 금속으로 이루어지는 중간 금속 극박막의 합성 층 구조를 새로운 확산 방지막으로 사용하게 된다. 이와 같이 종래의 확산 방지막의 동작 메커니즘을 응용하여 구리 배선 구조에 대한 확산 방지막을 형성함으로 말미암아, 구리 배선 구조를 위해 새로운 확산 방지막 재료를 별도로 개발하는 것에 대한 시급성이 낮아지게 된다. 아울러 구리 배선을 위한 확산 방지막을 보다 쉽게 확립함으로써, 배선 재료로써의 구리의 상용화를 앞당길 수 있게 되는 효과가 있다.

## 【특허청구범위】

## 【청구항 1】

- (a) 반도체 기판 상에 부도체막을 형성하는 단계;
- (b) 상기 부도체막 상에 확산 방지막을 형성하는 단계;
- (c) 상기 확산 방지막내부로 산소를 충진시키는 단계;
- (d) 상기 확산 방지막 상에 중간 금속층을 형성하는 단계; 및
- (e) 상기 전체 구조 상에 구리막을 형성하는 단계를 포함하고, 적어도 한 번의 열처리를 실시하여 상기 중간 금속층의 금속 원소의 금속 산화물이 상기 확산 방지막의 결정립계에 형성되도록 하는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 2】

제1항에 있어서, 상기 확산 방지막은 TiN, TaN, WN으로 구성된 그룹에서 선택된 하나로 형성되는 반도체 소자 제조 방법.

## 【청구항 3】

제1항에 있어서, 상기 금속층은 금속 원소를 함유한 가스 또는 금속 이온을 함유한 용액을 이용하여 상기 확산 방지막 상에 흡착층을 형성하도록 하므로써 증착되는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 4】

제1항 또는 제 3항에 있어서,

상기 중간 금속층은 Al, Zr, Cr, V, Nb, Hf, Ta 및 그 조합에서 선택된 하나로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 5】

제1항에 있어서,

상기 (d) 단계 후 (e) 단계 전에,

(가) 상기 중간 금속층상에 제 2 확산 방지막을 형성하는 단계;

(나) 상기 제 2 확산 방지막 내부로 산소를 충진하는 단계;를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 【청구항 6】

제 5항에 있어서, 상기 (나) 단계 후에, 상기 제 2 확산 방지막 상에 제 2 중간 금속층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 【청구항 7】

(a) 반도체 기판 상에 부도체막을 형성하는 단계;

(b) 상기 부도체막 상에 비어 패턴을 형성하는 단계;

(c) TiN, TaN, WN으로 구성된 그룹에서 선택된 하나를 사용하여 상기 부도체막 및 비어 패턴을 덮는 확산 방지막을 형성하는 단계;

(d) 상기 확산 방지막내부로 산소(?)를 충진시키는 단계;

(e) Al, Zr, Cr, V, Nb, Hf, Ta 및 그 조합에서 선택된 하나를 사용하여 상기 확산 방지막 상에 중간 금속층을 형성하는 단계; 및,

(f) 상기 전체 구조상에 구리막을 형성하는 단계를 포함하고, 적어도 한 번의 열처리를 실시하여 상기 중간 금속층의 금속 산화물이 상기 확산 방지막의 결정립계에 형성되도록 하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 8】

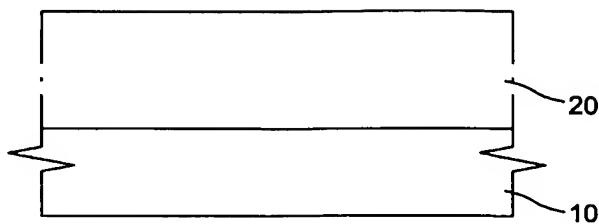
제7항에 있어서, 상기 (e) 단계 후 (f) 단계 전에,  
(가) 상기 중간 금속층상에 제 2 확산 방지막을 형성하는 단계;  
(나) 상기 제 2 확산 방지막 내부로 산소를 충진하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 【청구항 9】

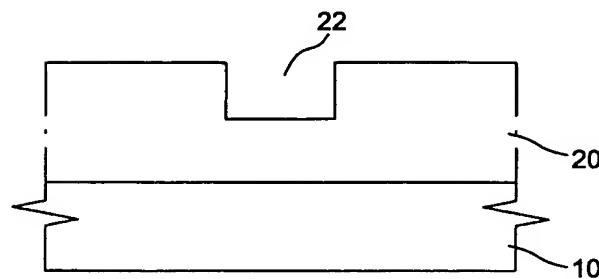
제8항에 있어서, 상기 (나) 단계 후에, 상기 제 2 확산 방지막 상에 제 2 중간 금속층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【도면】

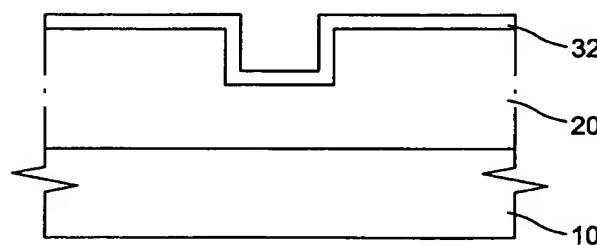
【도 1】



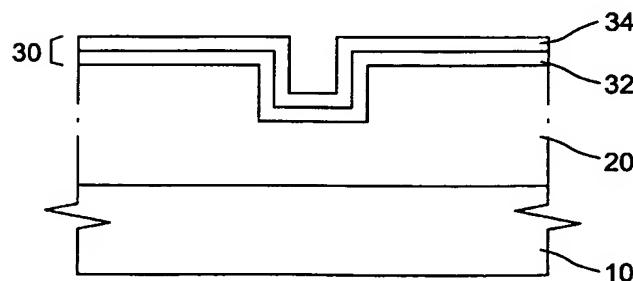
【도 2】



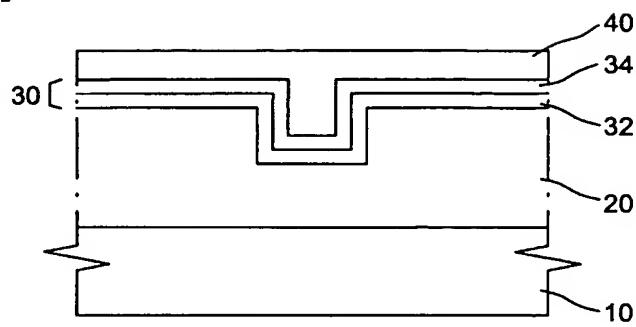
【도 3】



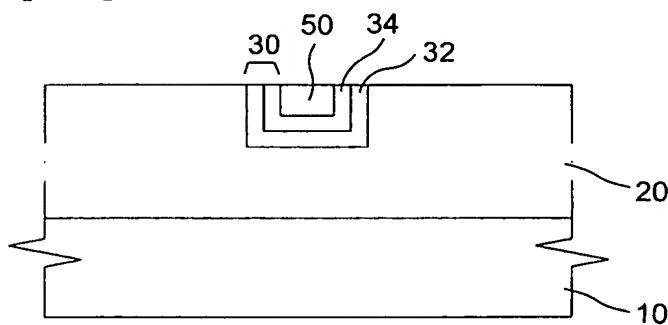
【도 4】



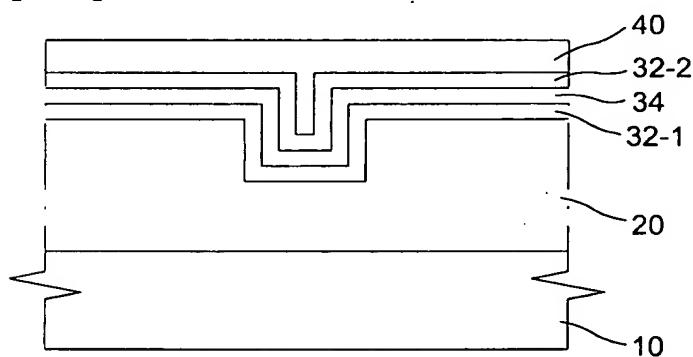
【도 5】



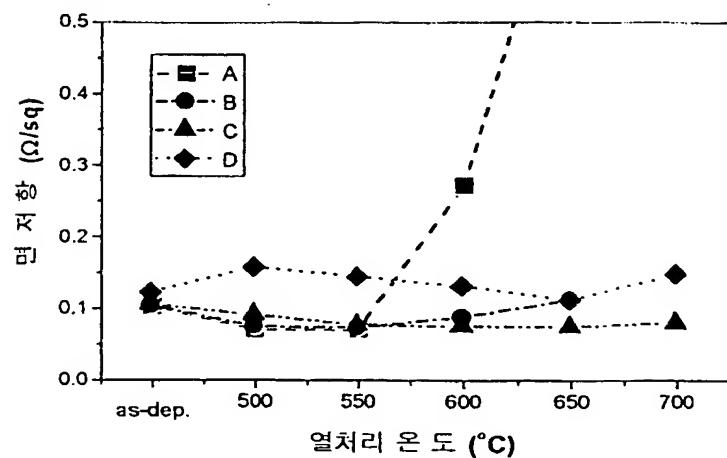
【도 6】



【도 7】

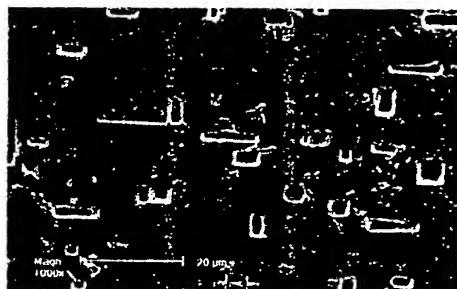


【도 8】

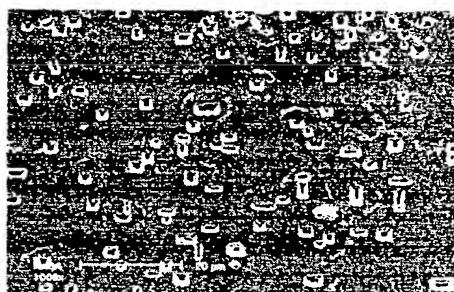


A : Cu(300nm)/TiN(20nm)/Si  
 B : Cu(300nm)/Al(5nm)/TiN(20nm)/Si  
 C : Cu(300nm)/Al(10nm)/TiN(20nm)/Si  
 D : Cu(300nm)/Al(20nm)/TiN(20nm)/Si

【도 9a】



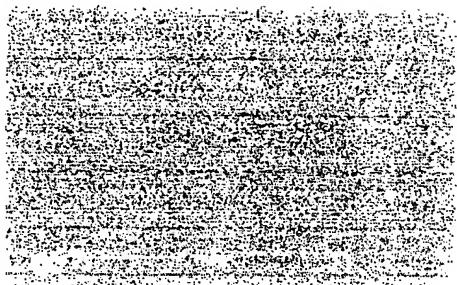
【도 9b】



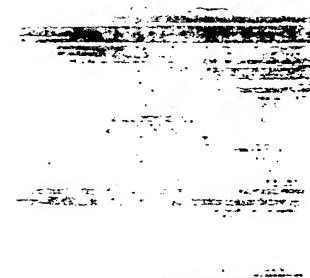
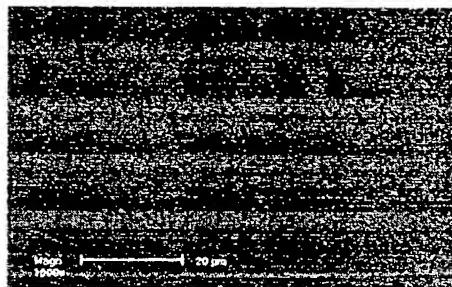
1020000074025

출력 일자: 2001/11/22

【도 9c】



【도 9d】





# **METHOD OF FABRICATING SEMICONDUCTOR DEVICE EMPLOYING COPPER INTERCONNECT STRUCTURE HAVING DIFFUSION BARRIER STUFFED WITH METAL OXIDE**

5

## **Technical Field**

The present invention generally relates to a method of fabricating a semiconductor device and, more particularly, to a method of forming an interconnect structure in a semiconductor device fabricating process.

## **Background Art**

A process of fabricating a semiconductor integrated circuit is roughly divided into the process of forming devices on a silicon substrate and process of electrically connecting the devices. The latter is called an interconnection process or metallization, which becomes a key for improving yield rate and reliability in fabrication of semiconductor devices as the devices become highly integrated.

A metal currently used as an interconnection material in a wide range is aluminum (Al). However, as the integration of the device becomes more improved, the interconnection line width is reduced, yet its total length is increased, so that this lengthens signal transfer-delay time which is represented by RC time constant. Furthermore, the reduction in the interconnection line width results in cutting in the interconnection line due to an electromigration or stress migration. Accordingly, copper (Cu) instead of aluminum (Al) is used for forming the interconnection lines

since it has lower resistance compared with that of Al and strong resistance against the electromigration or stress migration in order to fabricate a reliable device with acquiring a fast operation speed.

However, Cu lacks excellent properties that Al has other than the low resistance and high melting point. For example, Cu cannot form a dense protection layer such as  $\text{Al}_2\text{O}_3$ , has bad adhesive strength to  $\text{SiO}_2$  and is difficult to dry-etch. In addition, its diffusion coefficient in silicon is larger than that of Al for  $10^6$  times approximately, and it is known that Cu diffused into the silicon forms a deep level between band gaps. Furthermore, the copper's diffusion coefficient inside  $\text{SiO}_2$  is known to be large, which will decrease an insulating property between Cu lines. Consequently, this Cu's large diffusion coefficient in the silicon or  $\text{SiO}_2$  remarkably deteriorates the reliability of semiconductor device. Accordingly, to ensure the reliability of the device in a process of forming the Cu lines requires a diffusion barrier capable of preventing Cu from being rapidly diffused into the silicon or  $\text{SiO}_2$ .

Ta or TaN thin film deposited by going through a sputtering process is currently being used as the diffusion barrier for Cu, instead of TiN generally used in the conventional Al interconnection line fabricating process. However, when the diffusion barrier is deposited in a contact or trench structure using the sputtering, step coverage is deteriorated as the device size becomes smaller and this problem bears a request of the process of forming the diffusion barrier through CVD.

However, development of a new process of forming a reliable diffusion barrier for Cu needs a considerably long period of time and this may delay commercialization of a semiconductor device employing Cu interconnect structure.

## **Disclosure of the Invention**

Therefore, the present invention is devised in order to solve above problem and it is an object of the present invention to provide a method of fabricating a 5 semiconductor device employing a diffusion barrier whose grain boundary is stuffed with the third metal oxide, not a metal element constructing the diffusion barrier, to advance commercialization of a semiconductor device with a Cu interconnect structure.

## **Brief Description of the Drawings**

10

Further objects and advantages of the invention can be more fully understood from the following detailed description taken in conjunction with the accompanying drawings, in which:

FIGS. 1 to 7 are cross-sectional views showing a method of forming a Cu 15 interconnecting structure according to an embodiment of the present invention;

FIG. 8 is a graph showing the sheet resistances of samples based on thickness of Al thin film and annealing temperature in an experimental Cu interconnect structure according to the present invention;

FIGS. 9A to 9D are SEM photographs showing etch pits on the silicon surface 20 exposed after etching Cu, Al and TiN layers in an experimental Cu interconnect structure according to the present invention.

## **Best mode for Carrying Out the Invention**

### Theoretical background of the Invention

A diffusion barrier means a material being inserted between two substances in order to prevent the substances from being mixed with each other due to diffusion. In 5 a semiconductor device fabrication process, the diffusion barrier is used not only for preventing the diffusion between a substrate and interconnection material but also for blocking the interconnection material from being diffused into a dielectric film.

The diffusion barrier is roughly classified into a passive barrier, a non-barrier, a single crystal barrier, a sacrificial barrier and a stuffed barrier. If the diffusion barrier 10 remains thermodynamically stable between the interconnection material and substrate, it would become the passive barrier or non-barrier. This is related with the diffusion through the grain boundary of the diffusion barrier. That is, the diffusion barrier becomes the passive barrier when it is hardly diffuses through the grain boundary as it is difficult to diffuse, and on the other side, becomes the non-barrier, which does not 15 serve as a diffusion barrier, when it easily diffuses through the grain boundary. Meantime, the diffusion barrier becomes the sacrificial barrier if it is thermodynamically unstable to be reacted with the interconnection material and substrate. The sacrificial barrier itself reacts on the interconnection material or substrate material to prevent the diffusion of the material. The sacrificial barrier is 20 consumed according to the reaction so that it loses its function as the diffusion barrier when it has been completely consumed after a lapse of a predetermined time, however it performs its function until then. The phenomenon that the diffusion barrier cannot fulfill the function thereof is called "diffusion barrier failure".

The diffusion barrier failure in Cu used as the interconnection material is

generated due to the following three causes.

- 1) Diffusion of Cu or substrate atoms through defects in the diffusion barrier, such as dislocation or vacancy.
- 2) Diffusion of Cu or substrate atoms through the grain boundary of a 5 polycrystalline diffusion barrier.
- 3) Chemical reaction of the diffusion barrier on the Cu or substrate material.

Failure of a thermodynamically stable diffusion barrier mainly depends on the second cause, which is the diffusion of Cu or substrate atoms through the grain boundary of a polycrystalline diffusion barrier. This is because the diffusion of the Cu 10 or substrate atoms through the grain boundary occurs much readily rather than the diffusion through the grain. Accordingly, it is very important to prevent the diffusion through the grain boundary.

Methods of preventing the diffusion through the grain boundary include: firstly, a method of forming the diffusion barrier using a single crystal or amorphous crystal 15 having no grain boundary; secondly, a method of blocking existing grain boundaries. To block the grain boundary in a polycrystalline thin film is called 'stuffing' and this diffusion barrier is called a 'stuffing barrier'.

A method of stuffing the diffusion barrier that has been studied till now is roughly classified into N<sub>2</sub> stuffing and O<sub>2</sub> stuffing. The study has been carried out in 20 such a manner that a thin film for forming the diffusion barrier is deposited by containing N or O, which exceeds a solid solution limitation, in the diffusion barrier so that the nitride or oxide compounds obtained by combining the N<sub>2</sub> or O<sub>2</sub> with a metal element constructing the diffusion barrier are formed at the grain boundary of the diffusion barrier to thereby stuff the grain boundary with the nitride or oxide. In a

metallization process using Al, for instance, with a generally-used TiN diffusion barrier, it is a usual method O<sub>2</sub> to improve the characteristic of the diffusion barrier by stuffing the grain boundary of TiN with excessive O<sub>2</sub> by annealing a TiN thin film deposited by PVD or CVD in the atmosphere of N<sub>2</sub>. (Here, it is known that O<sub>2</sub> is diffused into the 5 grain boundary of the TiN to form TiN oxide to thereby stuff the grain boundary.)

However, it is known that the stuffing effect by N<sub>2</sub> or O<sub>2</sub> efficiently acts on Al, but it barely has an effect on Cu. Specifically, O<sub>2</sub> contained in the TiN with the help of annealing is mostly diffused through the grain boundary of the TiN to oxidize the surface of the grain of the TiN to exist in combining with Ti. This is because O<sub>2</sub> in 10 this state is easily reacted with Al diffused through the grain boundary to form Al<sub>2</sub>O<sub>3</sub>, but not reacted with Cu. The reason for this phenomenon is that enthalpy of formation of Al oxide is negatively larger than that of Ti oxide so that Al combines with O<sub>2</sub> being combined with Ti to form the Al oxide, but enthalpy of formation of Cu 15 oxide is negatively smaller than that of Ti oxide so that Cu being diffused through the grain boundary cannot be reacted with O<sub>2</sub> combined with Ti, which consequently results in not forming of Cu oxide. The following table 1 shows the enthalpy of formation of Ti oxide, Al oxide and Cu oxide.

[Table 1]

Bonded form	Phase	Enthalpy of formation (kJ/mol) at 298K
Ti-O	TiO	-519.7
	Ti <sub>2</sub> O <sub>3</sub>	-1521.6
	Ti <sub>3</sub> O <sub>5</sub>	-2457.2
	TiO <sub>2</sub>	-944.0
Al-O	Al <sub>2</sub> O <sub>3</sub>	-1675.7
Cu-O	CuO	-168.6

	$\text{Cu}_2\text{O}$	-157.3
--	-----------------------	--------

As described above, it can be known that the TiN thin film into which  $\text{O}_2$  has been implanted through the annealing serves as an excellent stuffing barrier for Al but it barely has an effect on Cu. Furthermore, since Cu is hardly reacted with  $\text{N}_2$ , it is 5 difficult to improve the property of the diffusion barrier by implanting impurities thereto.

As mentioned above, Cu itself cannot form its oxide at the grain boundary of the TiN because of its enthalpy of formation smaller than that of Ti oxide. The following table 2 represents oxide formation enthalpy with respect to various metals.

10

[Table 2]

	Oxide formation enthalpy [kJ/mol]
Ca	$\text{CaO} : -635$
V	$\text{V}_2\text{O}_5 : -1550$
Nb	$\text{Nb}_2\text{O}_5 : -1550$
Mo	$\text{MoO}_3 : -745$
Hf	$\text{HfO}_2 : -1144$
Ta	$\text{Ta}_2\text{O}_5 : -2045$
W	$\text{WO}_3 : -842$
Al	$\text{Al}_2\text{O}_3 : -1656$
Mg	$\text{MgO} : -601$
Ti	$\text{TiO}_2 : -944$
Zr	$\text{ZrO}_2 : -1097$
Cr	$\text{Cr}_2\text{O}_3 : -1139$
Zn	$\text{ZnO} : -350$
Be	$\text{BeO} : -608$

As shown in the table 2, metals such as Al, Zr, Cr, V, Nb, Hf and Ta that have

oxide formation enthalpy larger than that of Ti oxide are reacted with oxygen atoms combined with Ti to form their oxide when they are diffused to the grain boundary of TiN, stuffing the grain boundary.

5    Summary of the Invention

On the basis of the fact that a TiN thin film used for Al interconnection line serves as an effective diffusion barrier for Al because O<sub>2</sub> contained in the TiN thin film is combined with Al, the present invention employs a metal element whose oxide formation enthalpy is larger(in which oxide formation enthalpy is negatively larger) 10 than that of the metal element of the diffusion barrier to stuff the grain boundary of the diffusion barrier with the oxide of the metal element, thereby using it as the diffusion barrier for Cu interconnection line. Accordingly, to stuff the grain boundary of the diffusion barrier with the metal element having an inclination to form oxide thereof stronger than that of the metal element constructing the diffusion barrier, an amount of 15 material (for example, O<sub>2</sub>) sufficient for stuffing the grain boundary is implanted into the diffusion barrier before the stuffing step, and then annealing is carried out to naturally move the material through the grain boundary, to thereby form the oxide of the stuffed material at the grain boundary.

Here, the metal element having strong inclination to form the oxide thereof is 20 deposited on the diffusion barrier in the form of a thin film, or an adhesion-layer film is formed on the diffusion barrier by using a gas containing the metal element or solution including its ions to allow the diffusion barrier to contain a small amount of the metal element therein. In case of the deposition of the metal element, the metal thin film is formed in minimum thickness such that the substantial interconnection line is

constructed of a Cu layer, to restrict diffusion of the metal element into the Cu layer, not affecting the resistance of the Cu layer.

### Embodiments

5 The present invention will now be described in connection with preferred embodiments with reference to the accompanying drawings.

FIGS. 1 to 6 are showing an embodiment of the method of fabricating a semiconductor device according to the present invention. FIG. 1 illustrates a part of the semiconductor device, in which the semiconductor device includes a substrate 10 and a dielectric film 20 formed thereon. A plurality of elements are formed on the semiconductor substrate 10, which include MOS transistors, bipolar junction transistors and resistors, for example. Meanwhile, these elements have been previously formed through fabrication processes executed before the shown step. The semiconductor device shown may employ a multilevel-interconnection structure. In this case, the 15 substrate 10 can include the semiconductor elements and a metal layer that electrically connects the elements. The dielectric film 20 may be SiO<sub>2</sub> or Si<sub>3</sub>N<sub>4</sub>, or a doped glass film. It is formed through CVD or PECVD depending on the kind thereof. In a preferred embodiment, the dielectric film is formed of SiO<sub>2</sub> using CVD.

Next, as shown in FIG. 2, a via pattern 22 is formed in the dielectric film. The 20 via pattern 22 is formed in a manner that reactive ion etching is carried out using a mask defining the boundary thereof. In case of a contact hole through which a metal line comes into contact with an element formed on the substrate or a lower metal line, the via pattern 22 penetrates the dielectric film 20 to reach the substrate 10. In a field region other than the contact hole, however, it does not reach the substrate 10. FIGS.

1 to 6 show the via pattern formed at the field region.

Referring to FIG. 3, a TiN thin film 32 serving as a diffusion barrier is deposited through CVD on the dielectric film 20 having the via contact formed therein.

The TiN thin film 32 is preferably formed by the thickness of 100Å approximately.

5 Thereafter, a process for stuffing the grain boundary of the TiN thin film 32 with O<sub>2</sub> is executed. This is carried out in such a manner that the TiN thin film 32 formed is exposed to the air, annealed in a furnace or O<sub>2</sub>-plasma-processed.

Referring to FIG. 4, an Al thin film 34 serving as an intermediate metal layer is deposited on the TiN film 32 using CVD. In a preferred embodiment, the Al thin film 10 34 is formed by a thickness of 0.1~2.0nm. The double layer 30 of the TiN thin film 32 and Al thin film 34 serves as a new diffusion barrier according to annealing process.

Referring to FIG. 5, a Cu layer 40 is deposited on the double layer 30 to fill the via pattern. The Cu layer 40 is formed through PVD, electroplating or MOCVD. After the completion of the deposition of Cu layer, the surface of the semiconductor 15 device is planarized as shown in FIG. 6. In a preferred embodiment, the planarization is carried out in such a manner that the TiN thin film 32, Al thin film 34 and Cu layer 40 are nonselectively removed through chemical mechanical polishing(CMP). Otherwise, in an alternative embodiment, the planarization may be performed by nonselective plasma etching process. Upon the completion of the planarization, the 20 Cu interconnection pattern 50 is being exposed and the diffusion barrier 30 consisting of the TiN thin film 32 and Al thin film 34 is being inserted between the dielectric film 20 and the Cu pattern 50. In the aforementioned process, annealing process is performed at least once for the structure obtained after deposition of the Al film.

FIGS. 8 and 9 illustrate experimental examples of Cu interconnect structures

realized according to the present invention. In the examples shown, a TiN was deposited to the thickness of 200Å by pyrolytic deposition using the single precursor of TDMAT on an 8-inch silicon wafer. This was cut into samples with the size of 1x1inch<sup>2</sup>. Al and Cu were continuously deposited thereon using DC magnetron sputtering, and then annealing was carried out at a pressure of below 5x10<sup>-6</sup>Torr in a vacuum ambient. The annealing was executed for one hour at different steps of temperatures of 500~700°C, being increased by 50°C for each step. The sheet resistance of each of the annealed samples was measured by using a four-point probe. FIG. 8 shows the measured result of the sheet resistances based on various thickness of the Al thin film and different annealing temperatures. As shown in FIG. 8, the samples having the Al thin film deposited thereon by 10nm or more effectively block diffusion of Cu, compared to the sample A having only Cu deposited thereon.

Next, the Cu layer, Al film and TiN film were removed using a chemical solution in order to estimate a diffusion barrier failure temperature, and then the silicon surface is Secco-etched. FIGS. 9A to 9D are SEM(Scanning Electron Microscopy) photographs of etch pits on the silicon surface exposed by the etching. FIGS. 9A to 9D correspond to four samples A, B, C and D of FIG. 8, respectively, which were all annealed at 650°C. As shown in FIGS. 9A to 9D, it can be known that the size and density of the etch pits are sharply reduced as the Al film becomes thick.

As a result of the estimation of the failure temperature, the diffusion barrier failure occurred in the sample having only the Cu layer deposited thereon without having the Al film after the annealing for one hour at 500°C in the vacuum state while it did not occur in the samples having the Al film deposited thereon by 10nm or more even after the annealing for one hour at 700°C in the same ambient. From this result,

it is understood that the CVD-TiN thin film just deposited contains O<sub>2</sub> of above 20at% because its fine structure is not dense so that the TiN film meets Al being diffused thereinto during the annealing to form the Al oxide at the grain boundary thereof, thereby blocking the diffusion of Cu.

5        Although specific embodiments including the preferred embodiment have been illustrated and described, it will be obvious to those skilled in the art that various modifications may be made without departing from the spirit and scope of the present invention. For example, though the Al thin film is formed as the intermediate metal layer on the single-level TiN diffusion barrier 32 in the above-described embodiment, 10 the TiN diffusion barrier can be formed in a multilevel structure. In case of the multilevel TiN diffusion barrier, the Al film serving as the intermediate metal layer is formed between the layers of the multilevel TiN diffusion barrier. FIG. 7 shows the case where the TiN diffusion barrier is formed of two layers. Referring to FIG. 7, a 15 first TiN thin film 32-1 is deposited on the dielectric film 20 using CVD, and then the process for stuffing the grain boundary thereof with O<sub>2</sub> is carried out. Thereafter, Al is deposited on the first TiN thin film 32-1. As described above, Al is deposited in the form of thin film on the first TiN film 32-1, or a adhesion layer is formed on the TiN film using a gas containing Al element or a solution having Al ions, to thereby form the intermediate metal layer.

20        Subsequently, a second TiN thin film 32-2 is deposited on the intermediate metal layer using CVD, thereby forming the multilevel TiN diffusion barrier. The Cu layer 40 is deposited on the second TiN film 32-2 through the aforementioned process. After the deposition of the second TiN thin film 32-2, annealing is carried out for the deposited structure at least once. With the structure shown in FIG. 7, Al is diffused

into the first and second TiN thin films 32-1 and 32-2 during the annealing to be combined with O<sub>2</sub> existing in the films to form Al oxide at the grain boundaries of the first and second TiN thin films 32-1 and 32-2, thereby effectively blocking the diffusion of Cu. In addition, the intermediate metal layer can be additionally formed 5 on the second TiN thin film 32-2 to block the diffusion of Cu more effectively.

Meantime, although Al is used for the intermediate metal layer in the preferred embodiment of the invention, Zr, Cr, V, Nb, Hf or Ta, which has the inclination to formation of the oxide thereof stronger than that of the Ti oxide, can be also used as a material for forming the intermediate metal layer as shown in Table 2. In other words, 10 the intermediate metal layer is formed of a metal element that forms the oxide thereof more easily than the metal element constructing the diffusion barrier.

Furthermore, the intermediate metal layer can be formed through a method other than CVD, such as PVD, electroplating, electrodeless plating, wet chemical contamination and atomic layer deposition.

15 Although the diffusion barrier is formed of TiN in the aforementioned embodiment, TaN or WN can be also used for the diffusion barrier and deposited using CVD.

In addition, the above-described embodiment explained the method of 20 fabricating the Cu interconnect structure placed on the dielectric film, however, in the actual semiconductor device fabrication process, a contact hole for connecting the metal line for interconnection to an element formed on the substrate or a lower metal line can be formed. In the structure having this contact hole, the diffusion barrier is deposited on the substrate or lower metal line located under the contact hole, the intermediate metal layer is formed on the diffusion barrier and the Cu layer is deposited 25

on the intermediate metal layer. In another embodiment of the invention, the Cu layer is not deposited in the contact hole, ohmic contact is made using only the intermediate metal layer and the Cu interconnect structure is employed only in the field area.

## 5 Industrial Applicability

As described above, a composition layer consisting of a diffusion barrier used in the conventional Al interconnect structure, for example, a TiN film and an intermediate metal ultra thin film constituted of selected metals from Al, Zr, Cr, V, Nb, 10 Hf and Ta, is used as a new diffusion barrier. As mentioned above, since the diffusion barrier for a Cu interconnect structure may be formed by applying of the active mechanism of the conventional diffusion barrier thereon, new materials for the diffusion barrier in order to be used in the Cu interconnect structure, an urgent need for developing the material for the diffusion barrier is becoming lower. Also, by forming 15 the diffusion barrier for the copper line in an easier way, the commercialization of the copper used as the line material could be advanced.

**WHAT IS CLAIMED IS:**

1. A method of fabricating a semiconductor device, comprising the steps of:
  - 5 (a) forming a dielectric film on a semiconductor substrate;
  - (b) forming a diffusion barrier on the dielectric film;
  - (c) stuffing the diffusion barrier with O<sub>2</sub>;
  - (d) forming an intermediate metal layer on the diffusion barrier; and
  - (e) forming a Cu layer on the obtained structure,

10 wherein annealing is carried out at least once to form the metal oxide of the metal element of the intermediate metal layer at the grain boundary of the diffusion barrier .
2. The method as claimed in claim 1, wherein the diffusion barrier is  
15 formed of one selected from TiN, TaN and WN.
3. The method as claimed in claim 1, wherein the metal layer is formed in a manner that an adhesion layer is formed on the diffusion barrier using a gas containing a metal element or a solution including a metal ion.
- 20 4. The method as claimed in claim 1, wherein the intermediate metal layer is formed of one selected from Al, Zr, Cr, V, Nb, Hf, Ta and their compounds.
5. The method as claimed in claim 1, further comprising the steps of:

- (1) forming a second diffusion barrier on the intermediate metal layer; and
- (2) stuffing the second diffusion barrier with O<sub>2</sub>, between the steps (d) and (e).

6. The method as claimed in claim 5, further comprising the step of  
5 forming a second intermediate metal layer on the second diffusion barrier, after the step  
(2).

7. A method of fabricating a semiconductor device, comprising the steps  
of:  
10 (a) forming a dielectric film on a semiconductor substrate;  
(b) forming a via pattern on the dielectric film;  
(c) forming a diffusion barrier covering the dielectric film and via pattern, using  
one selected from TiN, TaN and WN;  
(d) stuffing the diffusion barrier with O<sub>2</sub>;  
15 (e) forming an intermediate metal layer on the diffusion barrier using one  
selected from Al, Zr, Cr, V, Nb, Hf, Ta and their compounds; and  
(f) forming a Cu layer on the obtained structure,  
wherein annealing is carried out at least once to form the metal oxide of the  
metal element of the intermediate metal layer at the grain boundary of the diffusion  
20 barrier.

8. The method as claimed in claim 7, further comprising the steps of:  
(1) forming a second diffusion barrier on the intermediate metal layer; and  
(2) stuffing the second diffusion barrier with O<sub>2</sub>, between the steps (e) and (f).

9. The method as claimed in claim 8, further comprising the step of forming a second intermediate metal layer on the second diffusion barrier, after the step (2).

**ABSTRACT**

The present invention provides a method of fabricating a semiconductor device, which could advance the commercialization of a semiconductor device with a Cu interconnect structure by applying a diffusion barrier structure, already proven of its reliability, for Al. In a process of metal interconnect line fabricating process, a TiN thin film and combined structure of Al intermediate layer are used as a diffusion barrier. For the formation, Al is deposited on the TiN thin film and then again, metal layer is deposited to be annealed. Here, Al diffuses to TiN layer and reacts with O<sub>2</sub>, which will stuff a grain boundary efficiently, thereby blocking the diffusion of copper successfully. At this time, Al layer is formed in a minimum thickness, such that a substantial interconnect line is constituted of a Cu layer.